

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09033946

(43) Date of publication of application: 07.02.1997

(51) Int. Cl.

G02F 1/136

G02F 1/1335

G02F 1/1343

(21) Application number: 07179908

(71) Applicant:

HITACHI LTD

(22) Date of filing: 17.07.1995

(72) Inventor:

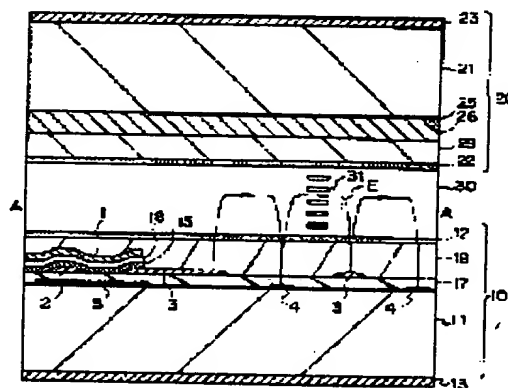
OTA MASUYUKI  
YANAGAWA KAZUHIKO  
KONDO KATSUMI  
OE MASATO

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To form a light shield film which cuts off light to an active element and a counter electrode in the same process.

SOLUTION: On a glass substrate 11, the light shield film 5 and the counter electrode 4 are formed of the same material in the same process. Liquid crystal molecules 31 are oriented by applying a voltage between a pixel electrode 3 connected to the semiconductor active layer 15 of a thin film transistor 6 and the counter electrode 4, and light which is made incident on the thin film transistor 6 from a glass substrate 11 is cut off by the light shield film 5.



LEGAL STATUS

[Date of r qu st for examination]  
 [Date of s nding th examiner's decision of  
 rej ction]  
 [Kind of final disp sal of application other  
 than th examiner's decision of rejection or  
 application converted registration]  
 [Dat of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's  
 decision of rejection]  
 [Date of requesting appeal against  
 xaminer's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

**MENU**

**SEARCH**

**INDEX**

**DETAIL**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-33946

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136 1/1335 1/1343	5 0 0	G 0 2 F 1/136 1/1335 1/1343	5 0 0

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平7-179908  
(22) 出願日 平成7年(1995)7月17日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 太田 益幸  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(72) 発明者 柳川 和彦  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(72) 発明者 近藤 克己  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(74) 代理人 弁理士 藤田 辰之

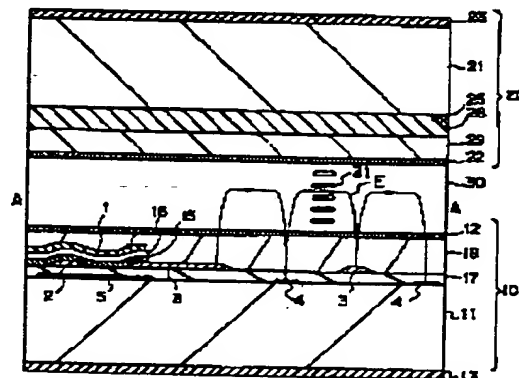
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその製造方法

## (57) 【要約】

【目的】 アクティブ素子への光を遮光する遮光膜と対向電極を同一の工程で形成すること。

【構成】 ガラス基板11上に遮光膜5と対向電極4とを同一の材料を用いて同一の工程で形成し、薄膜トランジスタ6の半導体活性層15に接続された画素電極3と対向電極4間に電圧を印加して液晶分子31を配向し、ガラス基板11側から薄膜トランジスタ6側へ入射する光を遮光膜5により遮蔽する。



- |                |              |
|----------------|--------------|
| 1 : 画素電極       | 13, 29 : 偏光膜 |
| 2 : 信号電極       | 15 : 半導体活性層  |
| 3 : 画素電極       | (アモルファスシリコン) |
| 4 : 対向電極       | 17 : 層間絶縁膜   |
| 5, 25 : 遮光膜    | 18 : ゲート絶縁膜  |
| 10 : 下側基板層     | 19 : 保護膜     |
| 20 : 上側基板層     | 26 : カラーフィルタ |
| 11, 21 : ガラス基板 | 28 : 平滑化層    |
| 12, 22 : 配光膜   | 30 : 液晶組成物層  |
|                | 31 : 液晶分子    |

【特許請求の範囲】

【請求項1】 液晶分子を含む液晶層と、液晶層を間に  
して相対向して配置された一対の基板と、前記基板の外  
側に配置された偏光板と、前記一対の基板のうち一方の  
基板と前記液晶層との間に配置されて走査電極と信号電  
極を有し半導体活性層が積層されたアクティブ素子と、  
前記一対の基板のうち一方の基板と前記液晶層との間に  
積層されて前記アクティブ素子に接続された画素電極  
と、前記アクティブ素子の走査電極と相対向して前記一  
方の基板と前記アクティブ素子との間に配置されて前記  
アクティブ素子への光の入射を阻止する遮光膜と、前記  
一方の基板を基準に前記遮光膜と同一平面上に配置され  
た対向電極とを備えているアクティブマトリクス型液晶  
表示装置。

【請求項2】 液晶分子を含む液晶層と、液晶層を間に  
して相対向して配置された一対の基板と、前記基板の外  
側に配置された偏光板と、前記一対の基板のうち一方の  
基板と前記液晶層との間に配置されて走査電極と信号電  
極を有し半導体活性層が積層されたアクティブ素子と、  
前記一対の基板のうち一方の基板と前記液晶層との間に  
積層されて前記アクティブ素子に接続された画素電極  
と、前記アクティブ素子の走査電極と相対向して前記一  
方の基板と前記アクティブ素子との間に配置されて前記  
アクティブ素子の半導体活性層への光の入射を阻止する  
遮光膜と、前記一方の基板を基準に前記遮光膜と同一平  
面上に配置された対向電極とを備えているアクティブマ  
トリクス型液晶表示装置。

【請求項3】 液晶分子を含む液晶層と、液晶層を間に  
して相対向して配置された一対の基板と、前記基板の外  
側に配置された偏光板と、前記一対の基板のうち一方の  
基板と前記液晶層との間に配置されて走査電極と信号電  
極を有し半導体活性層が積層されたアクティブ素子と、  
前記一対の基板のうち一方の基板と前記液晶層との間に  
積層されて前記アクティブ素子に接続された画素電極  
と、前記アクティブ素子の走査電極と相対向して前記液  
晶層と前記アクティブ素子との間に配置されて前記アク  
ティブ素子への光の入射を阻止する遮光膜と、前記一方  
の基板を基準に前記遮光膜と同一平面上に配置された対  
向電極とを備えているアクティブマトリクス型液晶表示  
装置。

【請求項4】 液晶分子を含む液晶層と、液晶層を間に  
して相対向して配置された一対の基板と、前記基板の外  
側に配置された偏光板と、前記一対の基板のうち一方の  
基板と前記液晶層との間に配置されて走査電極と信号電  
極を有し半導体活性層が積層されたアクティブ素子と、  
前記一対の基板のうち一方の基板と前記液晶層との間に  
積層されて前記アクティブ素子に接続された画素電極  
と、前記アクティブ素子の走査電極と相対向して前記他  
方の基板と前記液晶層との間に配置されて前記アクティ  
ブ素子への光の入射を阻止する遮光膜と、前記一方の基

板を基準に前記遮光膜と同一平面上に配置された対向電  
極とを備えているアクティブマトリクス型液晶表示装  
置。

【請求項5】 アクティブ素子は正スタガ構造の薄膜ト  
ランジスタで構成されている請求項1または2記載のアク  
ティブマトリクス型液晶表示装置。

【請求項6】 アクティブ素子は逆スタガ構造の薄膜ト  
ランジスタで構成されている請求項3または4記載のアク  
ティブマトリクス型液晶表示装置。

【請求項7】 対向電極と遮光膜とが電気的に接続され  
ている請求項1、2、3、4、5または6記載のアクテ  
ィブマトリクス型液晶表示装置。

【請求項8】 対向電極の一部は、各基板を結ぶ垂線を  
基準にしてアクティブ素子の信号電極と重複した領域に  
形成されているとともに、走査電極よりも広い領域にわ  
たって形成されている請求項1、2、3、4、5、6ま  
たは7記載のアクティブマトリクス型液晶表示装置。

【請求項9】 対向電極と遮光膜は同一の金属性材料で  
構成されている請求項1、2、3、4、5、6、7また  
は8記載のアクティブマトリクス型液晶表示装置。

【請求項10】 対向電極と遮光膜は基板のうち透明基  
板より透過率の低い不透明な材料で構成されている請求  
項9記載のアクティブマトリクス型液晶表示装置。

【請求項11】 半導体活性層はアモルファスシリコン  
で形成されている請求項1、2、3、4、5、6、7、  
8、9または10記載のアクティブマトリクス型液晶表  
示装置。

【請求項12】 液晶分子を含む液晶層と、液晶層を間  
にして相対向して配置された一対の基板と、前記基板の  
外側に配置された偏光板と、前記一対の基板のうち一方  
の基板と前記液晶層との間に配置されて走査電極と信号  
電極を有し半導体活性層が積層されたアクティブ素子  
と、前記一対の基板のうち一方の基板と前記液晶層との  
間に積層されて前記アクティブ素子に接続された画素電  
極と、前記アクティブ素子の走査電極と相対向して前記  
一方の基板と前記アクティブ素子との間に配置されて前  
記アクティブ素子への光の入射を阻止する遮光膜と、前  
記画素電極からの電気力線を終端する対向電極とを備え  
ているアクティブマトリクス型液晶表示装置を製造する  
に際して、前記遮光膜と前記対向電極とを前記一方の基  
板を基準に同一平面上に形成することを特徴とするアク  
ティブマトリクス型液晶表示装置の製造方法。

【請求項13】 液晶分子を含む液晶層と、液晶層を間  
にして相対向して配置された一対の基板と、前記基板の  
外側に配置された偏光板と、前記一対の基板のうち一方  
の基板と前記液晶層との間に配置されて走査電極と信号  
電極を有し半導体活性層が積層されたアクティブ素子  
と、前記一対の基板のうち一方の基板と前記液晶層との  
間に積層されて前記アクティブ素子に接続された画素電  
極と、前記アクティブ素子の走査電極と相対向して前記

一方の基板と前記アクティブ素子との間に配置されて前記アクティブ素子の半導体活性層への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えているアクティブマトリクス型液晶表示装置を製造するに際して、前記遮光膜と前記対向電極とを前記一方の基板を基準に同一平面上に形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項14】 液晶分子を含む液晶層と、液晶層を間にして相対向して配置された一对の基板と、前記基板の外側に配置された偏光板と、前記一对の基板のうち一方の基板と前記液晶層との間に配置されて走査電極と信号電極を有し半導体活性層が積層されたアクティブ素子と、前記一对の基板のうち一方の基板と前記液晶層との間に積層されて前記アクティブ素子に接続された画素電極と、前記アクティブ素子の走査電極と相対向して前記液晶層と前記アクティブ素子との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えているアクティブマトリクス型液晶表示装置を製造するに際して、前記遮光膜と前記対向電極とを前記一方の基板を基準に同一平面上に形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項15】 液晶分子を含む液晶層と、液晶層を間にして相対向して配置された一对の基板と、前記基板の外側に配置された偏光板と、前記一对の基板のうち一方の基板と前記液晶層との間に配置されて走査電極と信号電極を有し半導体活性層が積層されたアクティブ素子と、前記一对の基板のうち一方の基板と前記液晶層との間に積層されて前記アクティブ素子に接続された画素電極と、前記アクティブ素子の走査電極と相対向して前記他方の基板と前記液晶層との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えているアクティブマトリクス型液晶表示装置を製造するに際して、前記遮光膜と前記対向電極とを前記一方の基板を基準に同一平面上に形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型液晶表示装置およびその製造方法に係り、特に、画素電極・対向電極間に基板面と略平行な電界を印加する横電界方式により液晶を駆動させるのに好適なアクティブマトリクス型液晶表示装置その製造方法に関する。

##### 【0002】

【従来の技術】アクティブ素子を用いたアクティブマトリクス型液晶表示装置は、薄く、かつ軽量という特徴を有するとともに、ブラウン管に匹敵する高画質が得られるという点から、OA（オフィス・オートメーション）機器

などの表示端末として多く採用されている。アクティブマトリクス型液晶表示装置は、アクティブ素子として、薄膜トランジスタ（TFT）を用いており、薄膜トランジスタの半導体活性層には主としてアモルファスシリコン（a-Si）が用いられている。従来のこの種の液晶表示装置は、入射した光を変調し、変調した光を出射することにより、画面上に画像を表示することができる。しかし、アクティブ素子のアモルファスシリコンは強い光を受けると、そのオフ抵抗が小さくなるため、保持特性が悪くなり、画像のコントラスト比が低下するという問題点がある。

【0003】そこで、アクティブ素子への光の入射を阻止するため、例えば、特開平5-265038号公報、特開平5-119350号公報に記載されているように、アクティブ素子用の遮光膜を設けたものが提案されている。

##### 【0004】

【発明が解決しようとする課題】しかし、従来技術では、アクティブ素子用の遮光膜を形成するに際して、電極を構成する工程、例えば、画素電極や対向電極を形成する工程とは独立した工程で遮光膜を形成しているため、工程数が増加し、生産性が低下するという問題点がある。

【0005】本発明の目的は、アクティブ素子による遮光膜を対向電極と同一の工程で形成することができるアクティブマトリクス型液晶表示装置およびその製造方法を提供することにある。

##### 【0006】

【課題を解決するための手段】前記目的を達成するために、本発明は、液晶分子を含む液晶層と、液晶層を間にして相対向して配置された一对の基板と、前記基板の外側に配置された偏光板と、前記一对の基板のうち一方の基板と前記液晶層との間に配置されて走査電極と信号電極を有し半導体活性層が積層されたアクティブ素子と、前記一对の基板のうち一方の基板と前記液晶層との間に積層されて前記アクティブ素子に接続された画素電極と、前記アクティブ素子の走査電極と相対向して前記一方の基板と前記アクティブ素子との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記一方の基板を基準に前記遮光膜と同一平面上に配置された対向電極とを備えているアクティブマトリクス型液晶表示装置を構成したものである。

【0007】前記アクティブマトリクス型液晶表示装置を構成するに際しては、遮光膜と対向電極として以下の機能を備えたもので構成することができる。

【0008】（1）前記アクティブ素子の走査電極と相対向して前記一方の基板と前記アクティブ素子との間に配置されて前記アクティブ素子の半導体活性層への光の入射を阻止する遮光膜と、前記一方の基板を基準に前記遮光膜と同一平面上に配置された対向電極とを備えてい

る。

【0009】(2) 前記アクティブ素子の走査電極と相対向して前記液晶層と前記アクティブ素子との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記一方の基板を基準に前記遮光膜と同一平面上に配置された対向電極とを備えている。

【0010】(3) 前記アクティブ素子の走査電極と相対向して前記他方の基板と前記液晶層との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記一方の基板を基準に前記遮光膜と同一平面上に配置された対向電極とを備えている。

【0011】上記各アクティブマトリクス型液晶表示装置を構成するに際しては、以下の要素を付加することができる。

【0012】(1) アクティブ素子は正スタガ構造の薄膜トランジスタで構成されている。

【0013】(2) アクティブ素子は逆スタガ構造の薄膜トランジスタで構成されている。

(3) 対向電極と遮光膜とが電気的に接続されている。

【0014】(4) 対向電極の一部は、各基板を結ぶ垂線を基準にしてアクティブ素子の信号電極と重複した領域に形成されているとともに、走査電極よりも広い領域にわたって形成されている。

【0015】(5) 対向電極と遮光膜は同一の金属性材料で構成されている。

【0016】(6) 対向電極と遮光膜は各透明電極より透過率の低い不透明な材料で構成されている。

【0017】(7) 半導体活性層はアモルファスシリコンで形成されている。

【0018】また、本発明は製造方法として、液晶分子を含む液晶層と、液晶層を間にして相対向して配置された一対の基板と、前記基板の外側に配置された偏光板と、前記一対の基板のうち一方の基板と前記液晶層との間に配置されて走査電極と信号電極を有し半導体活性層が積層されたアクティブ素子と、前記一対の基板のうち一方の基板と前記液晶層との間に積層されて前記アクティブ素子に接続された画素電極と、前記アクティブ素子の走査電極と相対向して前記一方の基板と前記アクティブ素子との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えているアクティブマトリクス型液晶表示装置を製造するに際して、前記遮光膜と前記対向電極とを前記一方の基板を基準に同一平面上に形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法を採用したものである。

【0019】上記製造方法は、上記アクティブマトリクス型液晶表示装置の構成要素を備えているとともに、遮光膜と対向電極として以下の機能を備えたものにも適用することができる。

【0020】(1) 前記アクティブ素子の走査電極と相

対向して前記一方の基板と前記アクティブ素子との間に配置されて前記アクティブ素子の半導体活性層への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えている。

【0021】(2) 前記アクティブ素子の走査電極と相対向して前記液晶層と前記アクティブ素子との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えている。

【0022】(3) 前記アクティブ素子の走査電極と相対向して前記他方の基板と前記液晶層との間に配置されて前記アクティブ素子への光の入射を阻止する遮光膜と、前記画素電極からの電気力線を終端する対向電極とを備えている。

【0023】

【作用】前記した手段によれば、画素電極・対向電極間に基板面と略平行な電界を印加する横電界方式を採用すると共に、液晶層を挟む領域のうち一方の領域にのみ画素電極と対向電極を配置し、遮光膜と対向電極を基板を基準として同一平面上に形成したため、遮光膜と対向電極を同一の工程で形成することができ、製造工程を簡略化することができ、生産性の向上に寄与することができる。

【0024】また、横方向電界方式を採用すると、基板面に垂直な方向に電界を印加する方式とは異なり、ITO（インジウム・チン・オキサイド）のような透明電極を対向電極に用いる必要がなく、対向電極として不透明な材料または光透過率の低い材料を用いることができる。すなわち、対向電極には、アクティブ素子（a-Si）を用いたTFTの遮光特性を十分に満足できる金属性材料を用いることができる。

【0025】また対向電極は、画素電極とは異なり、半導体活性層と接続する必要がないため、半導体活性層とは別の層に絶縁膜を介して、半導体活性層の上部側または下部側に形成することができる。さらに、横電界方式を採用し、対向電極を不透明な金属性材料で形成すれば、対向電極を遮光膜として用いることもできる。

【0026】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

【0027】図1は本発明の第1実施例を示すアクティブマトリクス型液晶表示装置の画素部の要部断面図、図2は図1に示す画素部の平面図、図3はアクティブマトリクス型液晶表示装置の全体構成を示すシステム構成図である。

【0028】図1ないし図3において、液晶表示装置は、CPU40、コントローラ41、液晶駆動電源回路42、垂直走査回路43、映像信号駆動回路44、液晶表示パネル45を備えて構成されている。液晶表示パネル45にはアクティブ素子として、薄膜トランジスタ

(TFT) 6が複数個形成されており、各薄膜トランジスタ6の走査電極1が垂直走査線100を介して垂直走査回路43に接続され、信号電極2が映像信号線200を介して映像信号駆動回路44に接続されている。CPU40において画像情報を基に表示データと制御信号が生成されると、表示データがコントローラ41を介して映像信号駆動回路44に入力され、制御信号がコントローラ41を介して映像信号駆動回路44と垂直走査回路43に入力される。

【0029】各薄膜トランジスタ6をマトリクス状に配置した場合、各行の薄膜トランジスタ6の走査電極1に順次電圧が印加され、列方向の薄膜トランジスタ6の信号電極2には表示データに従った映像信号が印加される。そして指定の薄膜トランジスタ6のオンオフにより指定の画素による画像が形成される。この液晶表示パネル45は、具体的には、以下のように構成されている。

【0030】液晶表示パネル45の画素部は、図1および図2に示すように、下側基板層10、上側基板層20、液晶層30、一对の偏光板13、23を備えて構成されており、下側基板層10と上側基板層20が液晶層30を間に挟み対向して配置され、偏光板13、23が液晶層30、下側基板層10、上側基板層20を間に挟み対向して配置されている。

【0031】偏光板13、23は、互いに偏光軸を直交させるように形成されており、偏光板13が下側基板層10に接合され、偏光板23が上側基板層20に接合されている。下側基板層10は、ガラス基板11、層間絶縁膜17、保護膜19、配向膜12を備えて構成されており、偏光板13に接合されたガラス基板11上に層間絶縁膜17、保護膜19、配向膜12が積層されている。

【0032】一方、上側基板層20は、ガラス基板11、ブラックマトリクス25、三色のカラーフィルタ26、平坦化膜29、配向膜22を備えており、偏光板23に接合されたガラス基板21にブラックマトリクス25、カラーフィルタ26、平坦化膜29、配向膜22が積層されている。液晶層30は、液晶組成物として、配向膜12と配向膜22との間に形成されており、液晶層30には複数の液晶分子30が注入されている。

【0033】ここで、本実施例では、薄膜トランジスタ6を正スタガ構造の薄膜トランジスタ素子で形成するために、ガラス基板11上に層間絶縁膜17を介して信号電極2、半導体活性層15、ゲート絶縁膜18、走査電極1を形成することとしている。半導体活性層15に隣接して複数の画素電極3が形成されており、各画素電極3は半導体活性層15と接続されている。そして信号電極(ドレイン電極)2、画素電極(ソース電極)3は同一の材料、例えば、クロムを用いて形成されており、半導体活性層15はアモルファスシリコン、ゲート絶縁膜18は窒化シリコン、走査電極1は遮光性を有するアル

ミニウムを用いて形成されている。

【0034】また本実施例では、横電界方式を採用するために、ガラス基板11上に複数の対向電極4が形成されている。すなわち、液晶層30を挟む液晶層30両側の領域のうち一方の領域に画素電極3と対向電極4が形成されており、画素電極3から発生する電気力線が対向電極4で終端するように、画素電極3・対向電極4間に電界Eが印加されている。

【0035】さらに、本実施例では、ガラス基板11側から入射した光が半導体活性層15に入射するのを阻止するために、ガラス基板11上に遮光膜5が形成されている。この場合、薄膜トランジスタ6を正スタガ構造のもので形成すると、ガラス基板21側の光が薄膜トランジスタ6に入射するが、この光は走査電極1によって遮光される。しかし、ガラス基板11側からの光は遮光膜5がなければ半導体活性層15に入射されるため、ガラス基板11上に遮光膜5が形成されている。しかも、遮光膜5は、対向電極4と同様に、ガラス基板11上に形成されているため、遮光膜5と対向電極4をそれぞれ同一工程で形成することができる。さらに対向電極4は透明電極として用いる必要がないため、遮光膜5と同様に、遮光性を有する材料、例えば光透過率の低い不透明な金属で形成することができる。

【0036】上記構成による下側基板層10は、本実施例では次の順序で形成される。

【0037】本実施例では、正スタガ構造の薄膜トランジスタ素子6を形成するに際して、まず、表面を研磨した透明なガラス基板11上に複数の対向電極4を遮光膜5と共に同一工程で形成する。この形成の手順は、金属、例えば、アルミニウムのスパッタリング、レジスト材のフォトリソグラフィによるパターンニング、金属のエッチング、レジスト材の除去である。

【0038】次に、層間絶縁膜17(本実施例では窒化シリコン)をCVD法で形成し、その上に、信号電極2(ドレイン電極)、画素電極3(ソース電極)を同一材料(本実施例ではクロム(Cr))、同一工程で形成する。この形成の手順は、対向電極4の時と同様である。

【0039】この時点で、画素電極3および対向電極4はガラス基板11の表面にほぼ平行な電界Eを液晶層30に印加するように、ガラス基板11を基準に同一平面上に構成される。その上に半導体活性層15(アモルファスシリコン)、ゲート絶縁膜18(窒化シリコン)、走査電極1(ゲート電極:アルミニウム)を順に形成する。半導体活性層15と信号電極2及び画素電極3との間には、オーミックコンタクトをとるために、リンが半導体活性層15にドーピングされるようにする。

【0040】ここで、ゲート絶縁膜18、半導体活性層15、走査電極1は、工程数削減のため、1マスクで、1回のフォトリソ工程で、一括加工する。この時点で、薄膜トランジスタ6、蓄積電容Cstgが形成される。蓄積電容

Cstgは、画素電極3と前行の走査電極1とゲート絶縁膜18で形成される容量および画素電極3と対向電極4と層間絶縁膜17で構成される容量で構成される。その後、保護膜19（窒化シリコン）を形成し、最表面に配向膜12を塗布する。

【0041】一方、カラーフィルタ等を形成した上側基板層20は、次の順序で形成される。

【0042】まず、表面を研磨した透明なガラス基板21上に絶縁性のブラックマトリクス25（薄膜トランジスタ素子用の遮光膜と区別するためにブラックマトリクスと称する）を形成する。このブラックマトリクス25は、基板層10と基板層20とを対向させた時に、下側基板層10の不要な間隙部（画素電極3と対向電極4の間以外の間隙部）に位置されるように配置する。これは、不要な間隙部によるコントラストの低下を防止するためである。さらに、その上に、R（赤）、G（緑）、B（青）の3色のカラーフィルタ26を信号電極2の長手方向に沿ってストライプ状に形成する。カラーフィルタ26の上には、表面を平坦化する透明樹脂の平坦化膜29を形成し、最表面に配向膜22を塗布する。

【0043】この後、ガラス基板11、21に塗布された配向膜12、22に、液晶分子31を配向させるためのラビング処理を施し、基板層10、20を対向して組合せ、基板層10、20間を真空に引いて、その間に液晶組成物を封入して液晶層30を形成する。液晶層30を間にした基板層10、20の両側を2枚の偏光板13、23で挟み、液晶表示パネル45を構成する。

【0044】本実施例においては、ガラス基板11上の最下層に形成した対向電極4と同層に、同一材料、同一工程で半導体活性層15の下部の領域に遮光膜5を形成したため、ガラス基板11側からの光は遮光膜5により遮られ、半導体活性層15には光は照射されない。また、ガラス基板21側からの光も走査電極1により遮られて、半導体活性層15には光は照射されない。すなわち、遮光膜5と走査電極1により半導体活性層15が挟みこまれる構造にすることにより、基板層10、20のどちら側から光が入射されても、半導体活性層15に光が照射されないようにすることができる。

【0045】また、本実施例においては、横電界方式を採用し、画素電極3と対向電極4との間の電界Eにより、液晶層30の液晶分子31の配向を制御し、画素電極3と対向電極4の間から入射した光の明るさを変調し、変調された光を出射するようにしているため、画素電極3および対向電極4を不透明な金属で構成することができる。さらに対向電極4は、画素電極3とは異なり、半導体活性層15と接続する必要がないので、半導体活性層15とは、別の層に層間絶縁膜17を介して形成することができる。このため、対向電極4をガラス基板11上の最下層に配置することができる。しかも、対向電極4として、電極として十分な導電性を有し、か

つ、遮光性を有する金属を用いることができるので、対向電極4を遮光膜5と同一材料、同一工程で形成することができる。

【0046】従って、遮光特性を全く劣化させることなく、薄膜トランジスタ6の遮光膜5と対向電極4の形成工程を統一することができ、製造工程が簡略化できる。

【0047】以下に、本実施例で実施した詳細な条件を示す。

【0048】ドット数は640（水平方向）×480（垂直方向）とした。1ドットはRGB3画素から構成し、画素ピッチは110μm（水平方向）、330μm（垂直方向）とした。1画素内では、画素電極3と対向電極4の間隙部を4分割して設けた。電極幅は、信号電極2〜10μm、画素電極3、対向電極4〜6μmとし、画素電極3と対向電極4の間隙部の間隔は16.3μmとした。薄膜トランジスタ6の素子サイズはチャンネル幅/チャンネル長=6μm/6μmとし、蓄積容量Cstgの容量は100fFとなるように設計した。また、それぞれの厚みとして、ガラス基板11、21は1.1mm、対向電極4は200nm、層間絶縁膜17は300nm、信号電極2、画素電極3は100nm（Cr）、半導体層15は50nm、ゲート絶縁膜15は350nm、走査電極1は300nm、保護膜19は600nm、ブラックマトリクス25は1.2μm、カラーフィルタ26は2μm、平坦化膜29は2μm、配向膜12、22は90nmとした。

【0049】また、上下界面上のラビング方向は互いに平行で、かつ印加電界方向とのなす角度を75度（ $\phi_{LC1} = \phi_{LC2} = 75^\circ$ ）とした。液晶組成物30としては、誘電率異方性 $\Delta\epsilon$ が正でその値が7.3（1kHz）であり、屈折率異方性 $\Delta n$ が0.073（589nm、20℃）のネマチック液晶組成物を用いた。基板間のギャップdは球形のポリマビーズを基板間に分散して挟持し、液晶封入状態で4.1μmとした。ブラックマトリクス25にはレジスト材に顔料および微量のカーボンを混合したものをを用いた。

【0050】なお、上記実施例では対向電極4にアルミニウム（Al）を用いたが、遮光性かつ導電性を有する金属性材料であれば、例えば、Cr、Mo、Al、Ti、Taおよびその合金等を用いても、本実施例とは同等の効果を得ることができる。また、本実施例では、半導体活性層としてアモルファスシリコンを用いたが、他にも光に反応する材料を用いたアクティブ素子には、すべて応用でき、本発明の範疇に含まれる。さらに、本実施例に用いる液晶材料等は特に限定されるものではなく、負の誘電異方性を有する液晶を用いることもできる。

【0051】以上のように、本実施例では、遮光膜5と対向電極4をガラス基板11を基準に同一平面上に形成するようにしたため、遮光膜5と対向電極4を同一の工程で形成することができ、製造工程を簡略化することが



でき、生産性の向上に寄与することができる。

【0052】(第2実施例)本実施例は、半導体活性層15のほぼ全体を遮光するようにしたものであり、他の構成は実施例1と同等である。

【0053】本実施例における画素部の平面構成を図4に示す。実施例1では逆スタガ構造の薄膜トランジスタ6を形成し、ゲート絶縁膜18、半導体活性層15、走査電極1は、同一のフォトリソ工程で、一括加工したため、走査電極1の下部全体に半導体活性層15が存在する。そこで、本実施例では、実施例1の構成に加え、走査電極の下部に形成される半導体活性層15のほぼ全体を、走査電極1と遮光膜5および対向電極4で半導体活性層15を挟み込むようにした。これにより、画素電極3の蓄積容量Cstg部分と信号電極2との間の光リーク電流も軽減される。従って、より良好な保持特性が得られ、画像のコントラスト比が向上する。

【0054】以上のように本実施例では、実施例1の効果に加え、さらに保持特性を向上させることができる。

【0055】(実施例3)本実施例は、図5と図6に示すように、薄膜トランジスタ6を逆スタガ構造とすると共に、保護膜19と配向膜12との間に対向電極4、遮光膜5を形成したものであり、他の構成は実施例1と同等である。なお、図5は、図6のA-A線に沿う断面図である。

【0056】本実施例では、ブラックマトリクス25は、画素電極3と対向電極4との基板面に発生する水平方向の電界を乱さないために、絶縁性を有するが、低導電性であることが必須である。画像のコントラスト比を50以上に向上するために、不要な間隙部(画素電極3と対向電極4の間以外の間隙部)を遮光するだけであれば、光学濃度(=  $-\log(I/I_0)$ 、I:透過光強度、I<sub>0</sub>:入射光強度)1.7以上で良い。しかし、光学濃度1.7では、基板21側から強い光が入射した場合、ブラックマトリクス25で薄膜トランジスタ6を遮光するには十分な遮光特性が得られない。逆に、光学濃度を上げるためにカーボン等を多量に混入すると、導電性が高くなってしまい、本発明の表示方式の場合ブラックマトリクスとして用いることができない。

【0057】そこで、本実施例では、以下のような構成を採用している。

【0058】即ち、薄膜トランジスタ6等を形成した基板層10は、本実施例では次の順序で形成される。

【0059】本実施例では、逆スタガ構造の薄膜トランジスタ6の素子を形成するに際して、まず、表面を研磨した透明なガラス基板11上に走査電極1(ゲート電極:本実施例ではアルミニウム(A1))を形成する。形成の手順は、実施例1と同様である。

【0060】次にゲート絶縁膜15(本実施例では窒化シリコン)、その上に半導体活性層15(本実施例ではアモルファスシリコン)をCVD法で形成し、その上

に、信号電極2(ドレイン電極)、画素電極3(ソース電極)を同一材料(本実施例ではアルミニウム(A1)/クロム(Cr)の2層構造)、同一工程で形成する。この時点で、画素電極3は、後述する対向電極4と共に、基板面にはほぼ平行な電界を液晶層30に印加するように構成する。半導体活性層15と信号電極2及び画素電極3との間には、オーミックコンタクトをとるために、リンをドーピングしたアモルファスシリコン層16を形成する。この時点で、薄膜トランジスタ6の素子が構成される。その後、保護膜19(本実施例では窒化シリコン)を形成する。

【0061】さらに、保護膜19上に対向電極4と遮光膜5を同一材料、同一工程で形成する。最後に、最表面に配向膜12を塗布する。蓄積容量Cstgは、画素電極3と前行の走査電極1とゲート絶縁膜18で形成される容量および画素電極3と対向電極4と保護膜19で形成される容量で構成される。

【0062】ここで、本実施例では、対向電極4と同一材料、同一工程で形成された遮光膜5を薄膜トランジスタ6の上部に設けているので、遮光膜5と走査電極1により半導体活性層15を挟み込むことができる。このため、基板11、21のどちら側から、光が入射されても、半導体活性層15に光が照射されることはない。特に、カラーフィルタを有する基板21側から光が入射された場合に効果がある。すなわち、対向電極4には実施例1と同様にA1を用いており、遮光性も導電性も十分である。

【0063】以上のように、ブラックマトリクス25の光学濃度が低くても、対向電極4と同一材料、同一工程で形成される遮光膜5を用いることにより、工程数を増加させることなく十分な遮光性を得ることができる。

【0064】本実施例ではレジスト材に原料および微量のカーボンを混入し、ブラックマトリクス25を構成したが、遮光性の低い他のブラックマトリクスを用いる場合でも、本実施例と同等の効果を得ることができる。

【0065】(実施例4)本実施例は、図7に示すように、薄膜トランジスタ6を逆スタガ構造で構成すると共に、基板21上に対向電極4と遮光膜5を形成したものであり、他の構成は実施例3と同等である。

【0066】本実施例では、カラーフィルタ等を形成した上型基板層20は、次の順序で形成される。

【0067】まず、表面を研磨した透明なガラス基板21上に対向電極4および遮光膜5を同一工程で形成する。その後、絶縁性のブラックマトリクス25を形成する。さらに、その上に、R(赤)、G(緑)、B(青)の3色のカラーフィルタ26を形成する。カラーフィルタ26の上には、表面を平坦化する透明樹脂の平坦化膜29を形成し、最表面に配向膜22を塗布する。

【0068】以上により、本実施例では、実施例3と同等の効果が得られる。さらに、対向電極4と画素電極3

との間の距離が離れることにより、電極間の短絡不良が減少し、歩留りが向上する。また、同時に対向電極4と他の電極、例えば、画素電極3との間に形成される容量が低減し、回路の負荷を低減することができる。

【0069】(実施例5) 本実施例は、図8に示すように、遮光膜5と対向電極4とを電氣的に接続したものであり、他の構成は実施例1と同等である。

【0070】本実施例では、対向電極4と遮光膜5を一体化している。すなわち、遮光膜5は対向電極4と電氣的に接続されて一体化されている。

【0071】これにより、薄膜トランジスタ6の背面電位(半導体活性層15の走査電極1と反対側の電位)が、遮光膜5と一体化した対向電極4の電位により決定され、それぞれの薄膜トランジスタ6において背面電位が同一となる。従って、各薄膜トランジスタ6の素子間のしきい値電圧(薄膜トランジスタ6がオン状態になる走査電極1の電圧値)のバラツキを抑制することができる。この結果、液晶に印加される電圧のバラツキが抑制され、表示輝度のむら(バラツキ)を解消することができる。

【0072】以上により、本実施例では実施例1の効果に加え、表示輝度のむらの抑制効果が得られる。

【0073】(実施例6) 本実施例は、図9に示すように、対向電極4の一部を、基板11と基板21とを結ぶ垂線を基準にして信号電極2と重複した領域に形成すると共に、走査電極1よりも広い領域に渡って形成したものであり、他の構成は、実施例1と同等である。

【0074】本実施例では、画素の平面構造において、信号電極2および走査電極1で囲まれる領域の境界から境界の内側6 $\mu\text{m}$ 以上までの領域の全領域に対向電極4を形成することとしている。すなわち、信号電極2の長手方向においては、信号電極2と対向電極4の一部をオーバーラップさせ、走査電極1の長手方向においては、走査電極1の幅より、対向電極4の幅を広くし、対向電極4を走査電極1の両側にはみ出させている。これにより、画素電極3と対向電極4の間以外の隙間はなくなり、不要な光透過路が存在しないため、実施例1～4で設けていた低導電性のブラックマトリクス25は不要になる。

【0075】また、本実施例では、境界の内側6 $\mu\text{m}$ まで対向電極4を設けているが、これは、信号電極2及び走査電極1からの電気力線の90%以上を終端するために必要な電極幅であり、信号電極2及び走査電極1からの電気力線が画素電極3に終端し、画素電極3と対向電極4の間の液晶の動作に影響を与えないようにするためである。

【0076】さらに、本実施例では、対向電極4の幅は、詳しくは、信号電極2の長手方向においては、8 $\mu\text{m}$

■、走査電極1の長手方向においては、6 $\mu\text{m}$ とした。ここで、はみ出させる領域は大きければ大きいほど、よりシールド効果を増すことができる。

【0077】以上により、本実施例では、ブラックマトリクス25を省略することができる。これにより、実施例1の効果に加え、さらに生産性を向上することができる。また、ブラックマトリクス25を省略することができることにより、上下の基板11、21のアライメント精度が大幅に緩和され、より一層生産性を向上することができる。

【0078】

【発明の効果】以上説明したように、本発明によれば、遮光膜と対向電極を基板を基準にして同一平面上に形成したため、遮光膜と電極を同一の工程で形成することができ、製造工程を簡略化することができ、生産性の向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すアクティブマトリクス型液晶表示装置の画素部の断面図である。

【図2】図1に示す画素部の平面図である。

【図3】本発明に係るアクティブマトリクス型液晶表示装置の全体構成を示すシステム構成図である。

【図4】本発明の第2実施例を示すアクティブマトリクス型液晶表示装置の画素部の平面図である。

【図5】本発明の第3実施例を示すアクティブマトリクス型液晶表示装置の画素部の断面図である。

【図6】図5に示す画素部の平面図である。

【図7】本発明の第4実施例を示すアクティブマトリクス型液晶表示装置の画素部の断面図である。

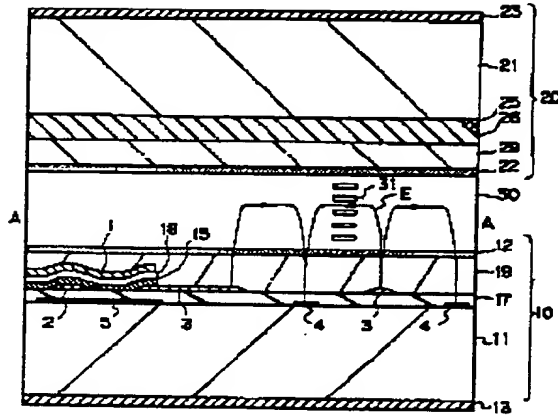
【図8】本発明の第5実施例を示すアクティブマトリクス型液晶表示装置の画素部の平面図である。

【図9】本発明の第6実施例を示すアクティブマトリクス型液晶表示装置の画素部の平面図である。

【符号の説明】

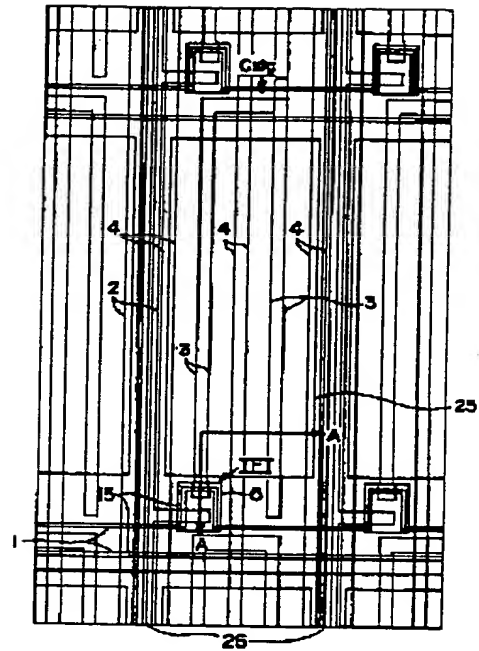
- 1 操作電極
- 2 信号電極
- 3 画素電極
- 4 対向電極
- 5 遮光膜
- 6 薄膜トランジスタ
- 10 下側基板層
- 13 偏光板
- 20 上側基板層
- 23 偏光板
- 30 液晶層
- 15 半導体活性層
- 18 ゲート絶縁膜

【図1】



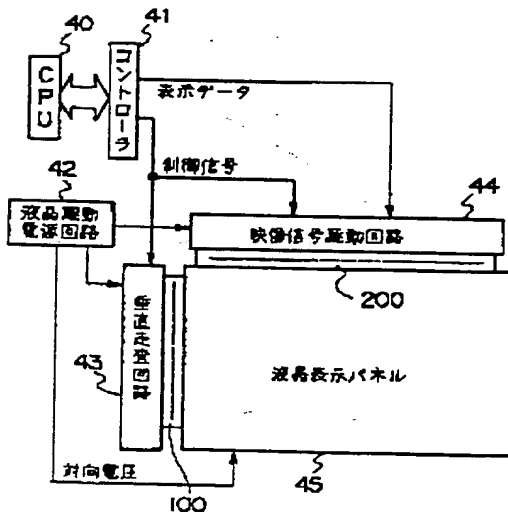
- |                |              |
|----------------|--------------|
| 1 : 走査電極       | 13, 23 : 偏光板 |
| 2 : 信号電極       | 15 : 半導体活性層  |
| 3 : 画素電極       | (アモルファスシリコン) |
| 4 : 対向電極       | 17 : 層間絶縁膜   |
| 5, 25 : 遮光膜    | 18 : ゲート絶縁膜  |
| 10 : 下側基板層     | 19 : 保護膜     |
| 20 : 上側基板層     | 25 : カラーフィルタ |
| 11, 21 : ガラス基板 | 29 : 平坦化膜    |
| 12, 22 : 配光膜   | 30 : 液晶組成物層  |
|                | 31 : 液晶分子    |

【図2】



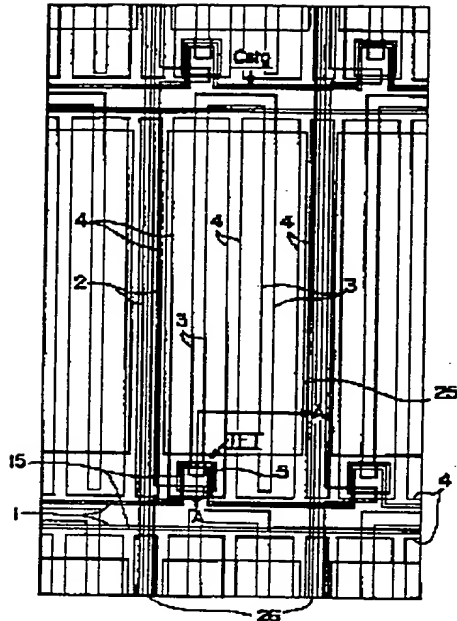
- |          |                |
|----------|----------------|
| 1 : 走査電極 | 5 : 遮光膜        |
| 2 : 信号電極 | 15 : 半導体活性層    |
| 3 : 画素電極 | 25 : ブラックマトリクス |
| 4 : 対向電極 | 26 : カラーフィルタ   |

【図3】



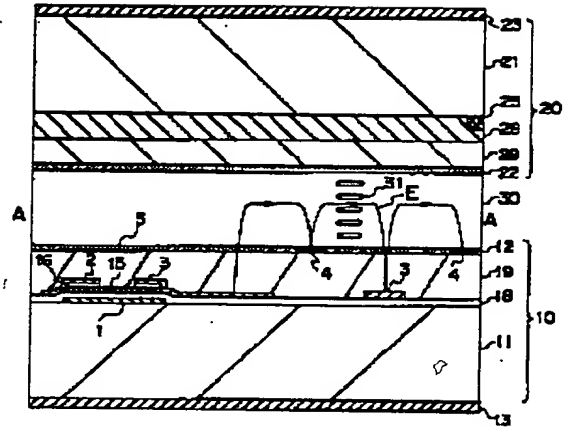
- |               |
|---------------|
| 41 : コントローラ   |
| 42 : 液晶駆動電源回路 |
| 43 : 液晶駆動回路   |
| 44 : 映像信号駆動回路 |
| 45 : 液晶表示パネル  |

【図4】



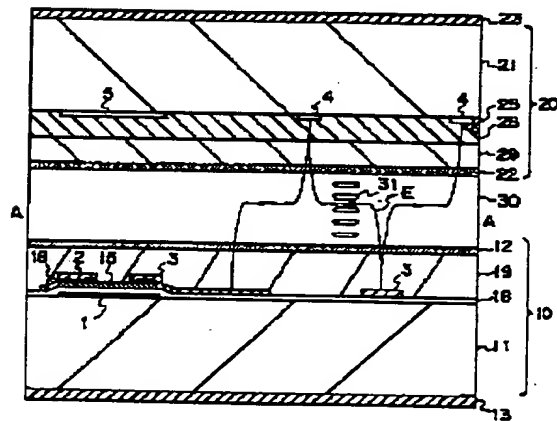
- |          |                |
|----------|----------------|
| 1 : 走査電極 | 5 : 遮光膜        |
| 2 : 信号電極 | 15 : 半導体活性層    |
| 3 : 面素電極 | 25 : ブラックマトリクス |
| 4 : 対向電極 | 26 : カラーフィルタ   |

【図5】



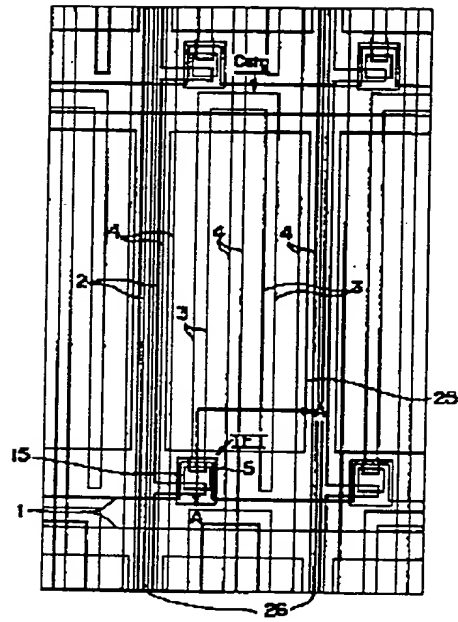
- |                |                  |
|----------------|------------------|
| 1 : 走査電極       | 15 : 半導体活性層      |
| 2 : 信号電極       | (アモルファスシリコン)     |
| 3 : 面素電極       | 16 : オーミックコンタクト層 |
| 4 : 対向電極       | (n+型アモルファスシリコン)  |
| 5, 25 : 遮光膜    | 17 : 層間絶縁膜       |
| 10 : 下側基板層     | 18 : ゲート絶縁膜      |
| 20 : 上側基板層     | 19 : 保護膜         |
| 11, 21 : ガラス基板 | 26 : カラーフィルタ     |
| 12, 22 : 配光膜   | 28 : 平坦化膜        |
| 13, 23 : 側向板   | 30 : 液晶組成物層      |
|                | 31 : 液晶分子        |

【図7】



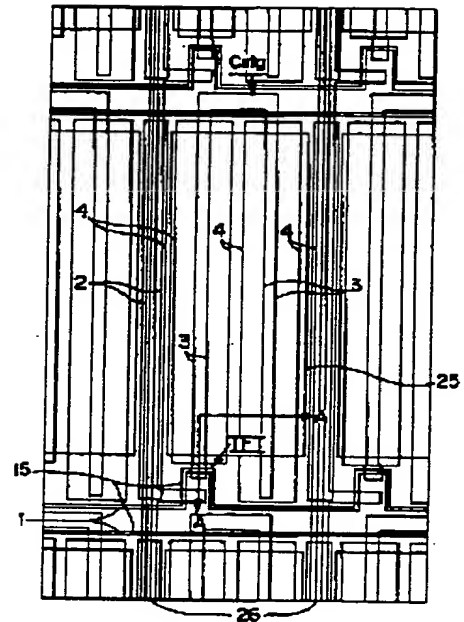
- |                |                  |
|----------------|------------------|
| 1 : 走査電極       | 15 : 半導体活性層      |
| 2 : 信号電極       | (アモルファスシリコン)     |
| 3 : 面素電極       | 16 : オーミックコンタクト層 |
| 4 : 対向電極       | (n+型アモルファスシリコン)  |
| 5, 25 : 遮光膜    | 17 : 層間絶縁膜       |
| 10 : 下側基板層     | 18 : ゲート絶縁膜      |
| 20 : 上側基板層     | 19 : 保護膜         |
| 11, 21 : ガラス基板 | 26 : カラーフィルタ     |
| 12, 22 : 配光膜   | 28 : 平坦化膜        |
| 13, 23 : 側向板   | 30 : 液晶組成物層      |
|                | 31 : 液晶分子        |

【図6】



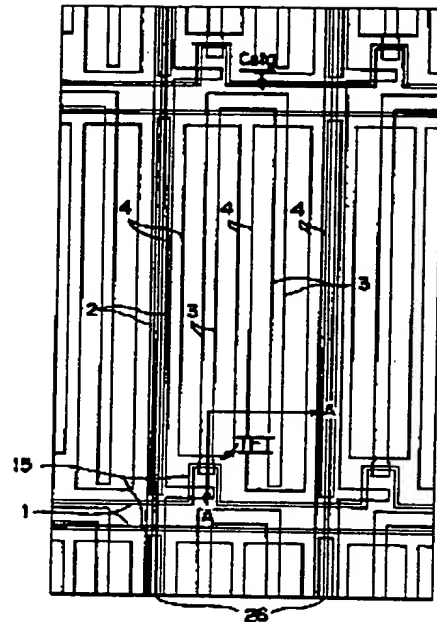
- |          |                |
|----------|----------------|
| 1 : 走査電極 | 5 : 基 光 原      |
| 2 : 信号電極 | 15 : 半導体活性層    |
| 3 : 画素電極 | 25 : ブラックマトリクス |
| 4 : 対向電極 | 26 : カラーフィルタ   |

【図8】



- |          |                |
|----------|----------------|
| 1 : 走査電極 | 15 : 半導体活性層    |
| 2 : 信号電極 | 25 : ブラックマトリクス |
| 3 : 画素電極 | 26 : カラーフィルタ   |
| 4 : 対向電極 |                |

【図9】



- |          |              |
|----------|--------------|
| 1 : 走査電極 | 5 : 透光膜      |
| 2 : 信号電極 | 15 : 半導体活性層  |
| 3 : 固定電極 | 26 : カラーフィルタ |
| 4 : 対向電極 |              |

フロントページの続き

(72)発明者 大江 昌人  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所日立研究所内